

# 16ビットインテグレーテッドタイマユニット ( ITU )

## 概要 :

本 LSI は、5 チャネルの 16 ビットタイマーにより構成される 16 ビットインテグレーテッドタイマユニット (ITU) を内蔵しています。

消費電流低減のため ITU を使用しない場合には、ITU を単独に停止することができます。

詳細は、「モジュールスタンバイ機能」を参照のこと。

## 特長 :

ITU の特長を以下に示します。

- 最大 12 種類のパルス出力、または最大 10 種類のパルス入力が可能。
- 各チャネル 2 本、合計 10 本のジェネラルレジスタ (GR) を持ち。核レジスタ独立にアウトプットコンペア / インプットキャプチャの機能設定が可能。
- 各チャネルとも 8 種類のカウンタ入力クロックを選択可能。  
内部クロック : 、 /2、 /4、 /8  
外部クロック : TCLKA、TCLKB、TCLKC、TCLKD
- 各チャネルとも次の動作モードを設定可能
  - コンペアマッチによる波形出力 :  
0 出力 / 1 出力 / トグル出力が選択可能 ( チャネル 2 は 0 出力 / 1 出力が可能 )
  - インプットキャプチャ機能 :  
立ち上がりエッジ / 立ち下がりエッジ / 両エッジ検出が可能
  - カウンタクリア機能 :  
コンペアマッチ / インプットキャプチャによるカウンタクリアが可能
  - 同期動作 :  
複数のタイマカウンタ (TCNT) への同時書き込みが可能  
コンペアマッチ / インプットキャプチャによる同時クリアが可能  
カウンタの同期動作による各レジスタの同期入出力が可能
  - PWM モード :  
任意デューティの PWM 出力が可能  
同期動作と組み合せる事により、最大 5 相の PWM 出力が可能
- チャネル 2 は、位相係数モードを設定可能  
2 相エンコーダのカウント数の自動計測が可能
- チャネル 3, 4 は 次の動作モードを設定可能
  - リセット同期 PWM モード :  
チャネル 3, 4 を組み合せる事により、正相、逆相の PWM 波形を 3 相出力可能
  - 相補 PWM モード :  
チャネル 3, 4 を組み合せる事により正相、逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力可能
  - バッファ動作 :  
インプットキャプチャレジスタのダブルバッファ構成が可能  
アウトプットコンペアレジスタの自動書き換えが可能
- 内部 16 ビットバスによる高速アクセス  
TCNT、GR、およびバッファレジスタ (BR) の 16 ビットレジスタに対して、16 ビットバスによる高速アクセスが可能

## 16ビットインテグレーテッドタイマユニット ( ITU )

---

- 15種類の割り込み要因  
各チャネルともコンペアマッチ / インプットキャプチャ兼用割り込み 2 要因、  
オーバーフロー割り込み 1 要因があり、それぞれ独立に要求可能
- DMA コントローラ (DMAC) の起動が可能  
チャネル 0~3 のコンペアマッチ / インプットキャプチャ兼用割り込み  
( 1 本 × 4 チャネル ) により、DMAC の起動が可能
- プログラマブルパターンコントローラ (TPC) の出力トリガを生成可能  
チャネル 0~3 のコンペアマッチ / インプットキャプチャ信号を TPC の出力トリガ  
として使用可能

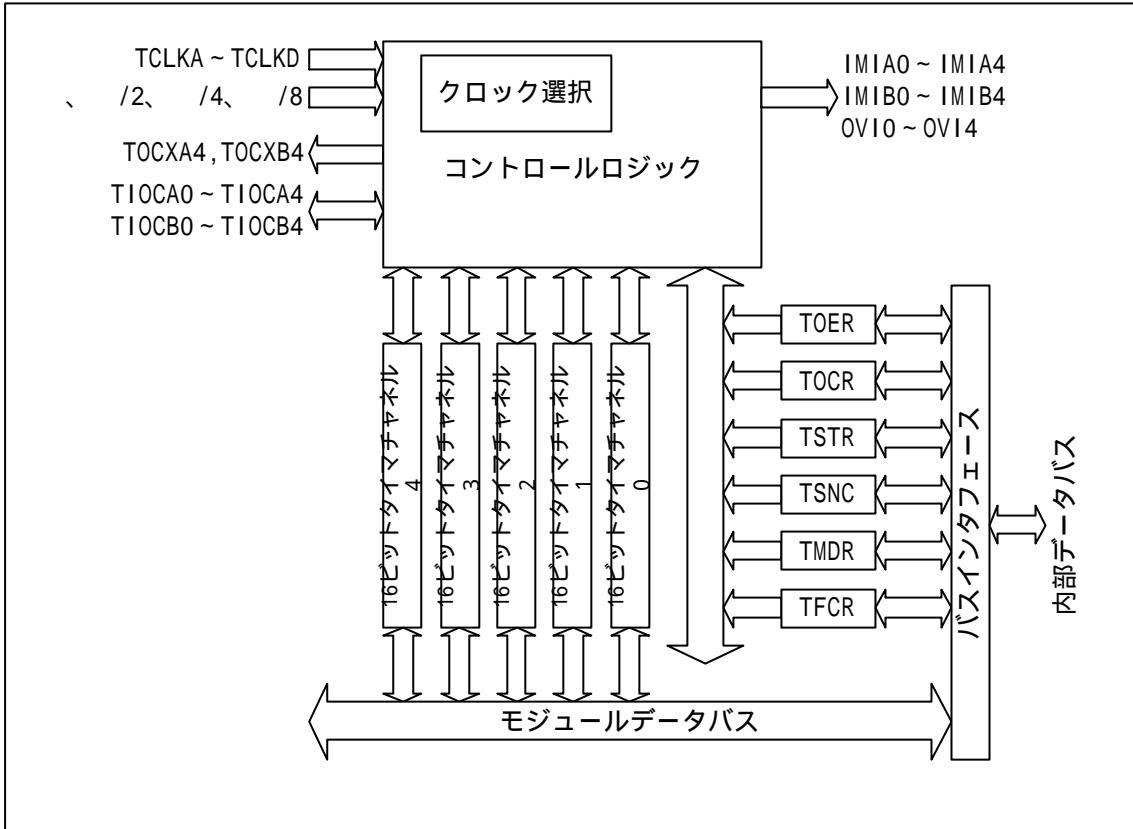
**16ビットインテグレーテッドタイマユニット  
( ITU )**

**ITUの機能一覧**

項目	チャネル0	チャネル1	チャネル2	チャネル3	チャネル4
カウントクロック	内部クロック : 1/2、1/4、1/8 外部クロック : TCLKA、TCLKB、TCLKC、TCLKDから独立に選択可能				
ジェネラルレジスタ(アウトプットコンペア/インプットキャプチャ兼用レジスタ)	GRA0、GRAB0	GRA1、GRB1	GRA2、GRB2	GRA3、GRB3	GRA4、GRB4
バッファレジスタ	-	-	-	BRA3、BRB3	BRA4、BRB4
入出力端子	TIOCA0 TIOCBO	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3	TIOCA4 TIOCB4
出力端子	-	-	-	-	TOCXA4 TOCXB4
カウンタクリア機能	GRA0 / GRB0のコンペアマッチまたはインプットキャプチャ	GRA1 / GRB1のコンペアマッチまたはインプットキャプチャ	GRA2 / GRB2のコンペアマッチまたはインプットキャプチャ	GRA3 / GRB3のコンペアマッチまたはインプットキャプチャ	GRA4 / GRB4のコンペアマッチまたはインプットキャプチャ
コンペアマッチ出力	0出力 1出力 トグル出力				
インプットキャプチャ機能					
同期動作					
PWMモード					
リセット同期 PWMモード	-	-	-		
相補 PWMモード	-	-	-		
位相係数モード	-	-		-	-
バッファ動作	-	-	-		
D M A Cの起動	GRA0のコンペアマッチまたはインプットキャプチャ	GRA1のコンペアマッチまたはインプットキャプチャ	GRA2のコンペアマッチまたはインプットキャプチャ	GRA3のコンペアマッチまたはインプットキャプチャ	GRA4のコンペアマッチまたはインプットキャプチャ
割り込み要因	3要因 ・コンペアマッチ/インプットキャプチャ A0 ・コンペアマッチ/インプットキャプチャ B0 ・オーバーフロー	3要因 ・コンペアマッチ/インプットキャプチャ A1 ・コンペアマッチ/インプットキャプチャ B1 ・オーバーフロー	3要因 ・コンペアマッチ/インプットキャプチャ A2 ・コンペアマッチ/インプットキャプチャ B2 ・オーバーフロー	3要因 ・コンペアマッチ/インプットキャプチャ A3 ・コンペアマッチ/インプットキャプチャ B3 ・オーバーフロー	3要因 ・コンペアマッチ/インプットキャプチャ A4 ・コンペアマッチ/インプットキャプチャ B4 ・オーバーフロー

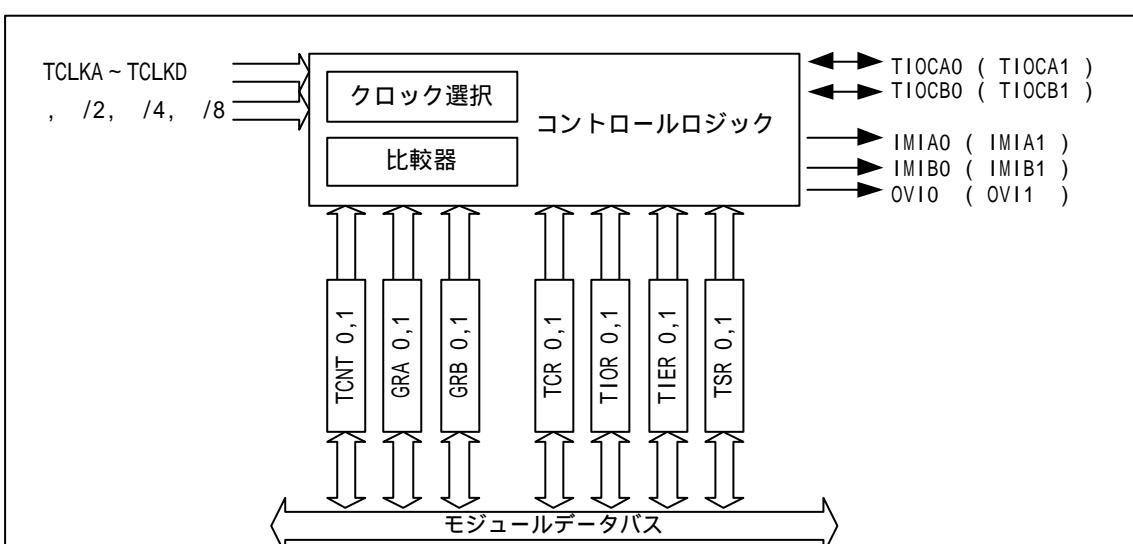
## 16ビットインテグレーテッドタイマユニット ( ITU )

### (1) ITUのブロック図(全体図)



### (2) チャネル0, 1のブロック図

ITUのチャネル0、1は同一の機能を持っています。  
チャネル0, 1のブロック図を以下に示します。



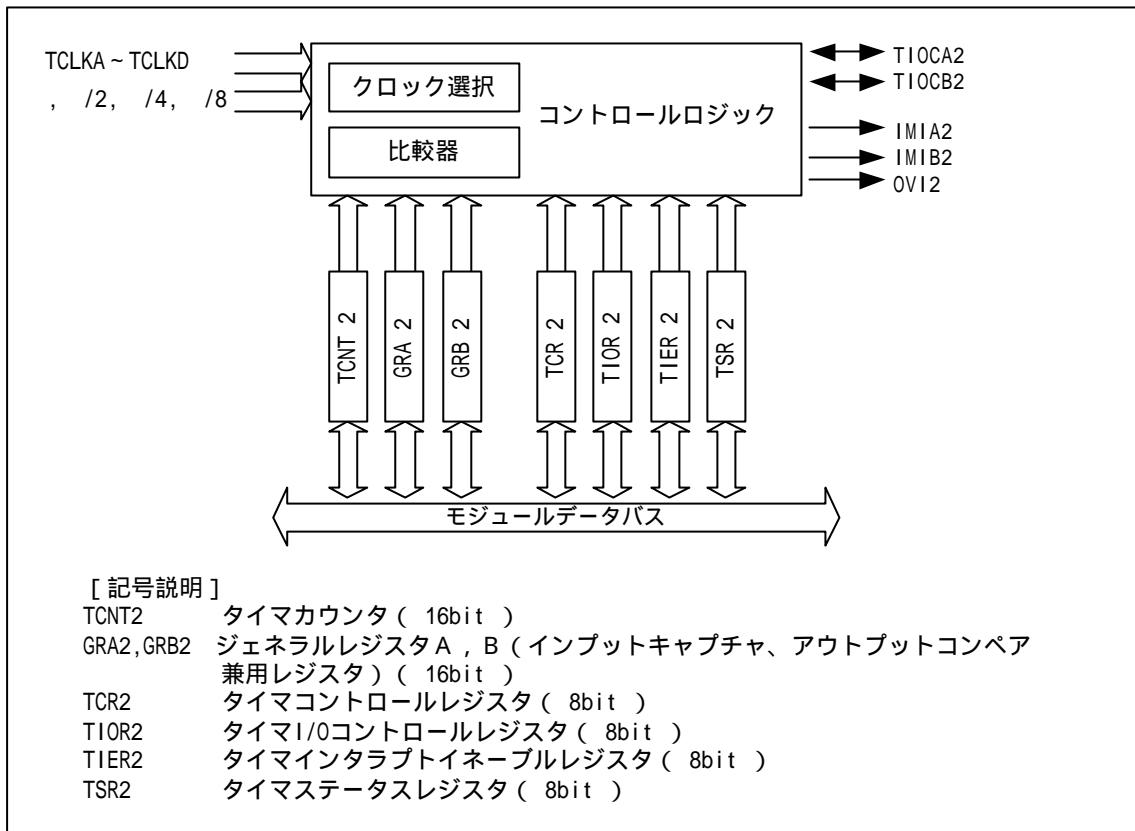
#### [記号説明]

TCNT	タイマカウンタ ( 16bit )
GRA,GRB	ジェネラルレジスタA, B ( インプットキャプチャ、アウトプットコンペア 兼用レジスタ ) ( 16bit )
TCR	タイマコントロールレジスタ ( 8bit )
TIOR	タイマI/Oコントロールレジスタ ( 8bit )
TIER	タイマインタラプトイネーブルレジスタ ( 8bit )
TSR	タイマステータスレジスタ ( 8bit )

## 16ビットインテグレーテッドタイマユニット ( ITU )

### (3) チャネル2のブロック図

ITUのチャネル2のブロック図を以下に示します。  
チャネル2は、0出力、1出力のみ可能です。



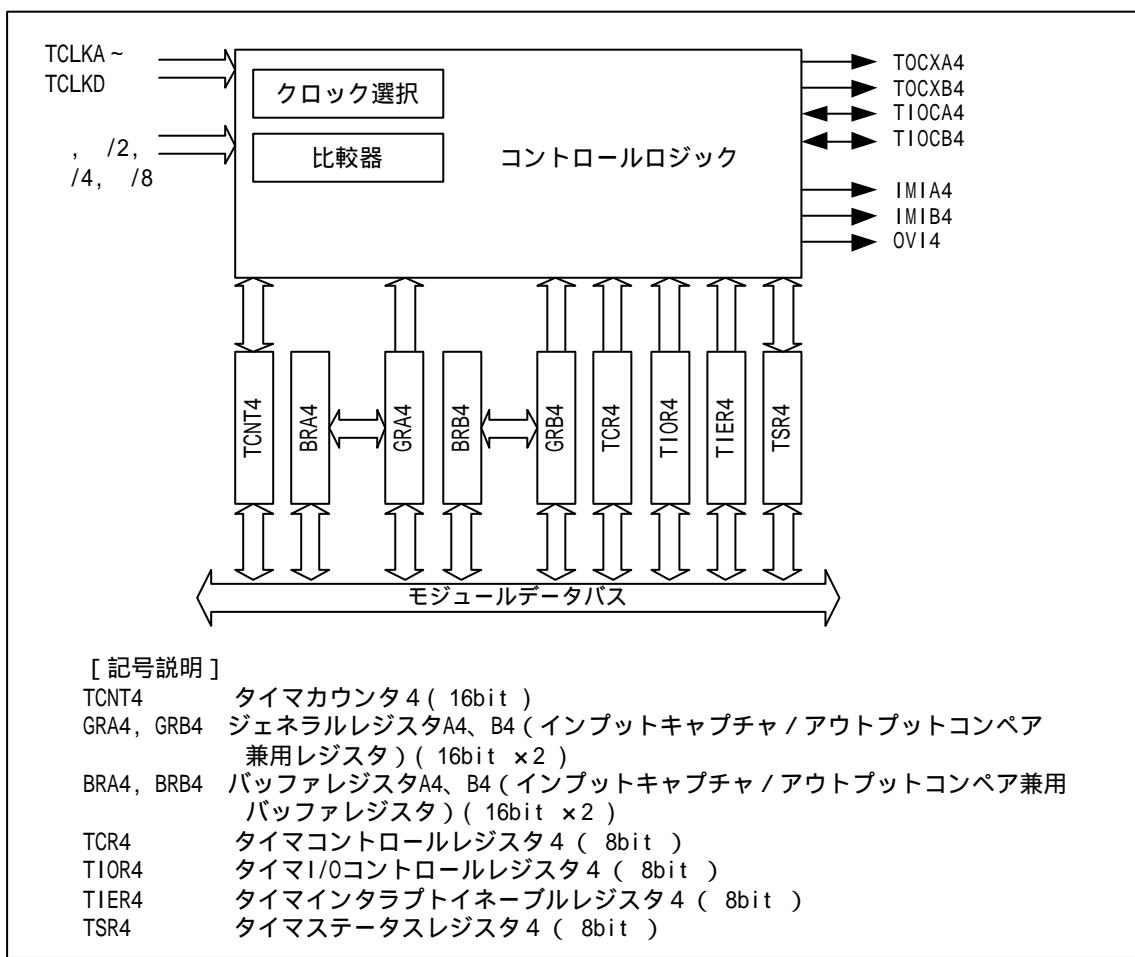
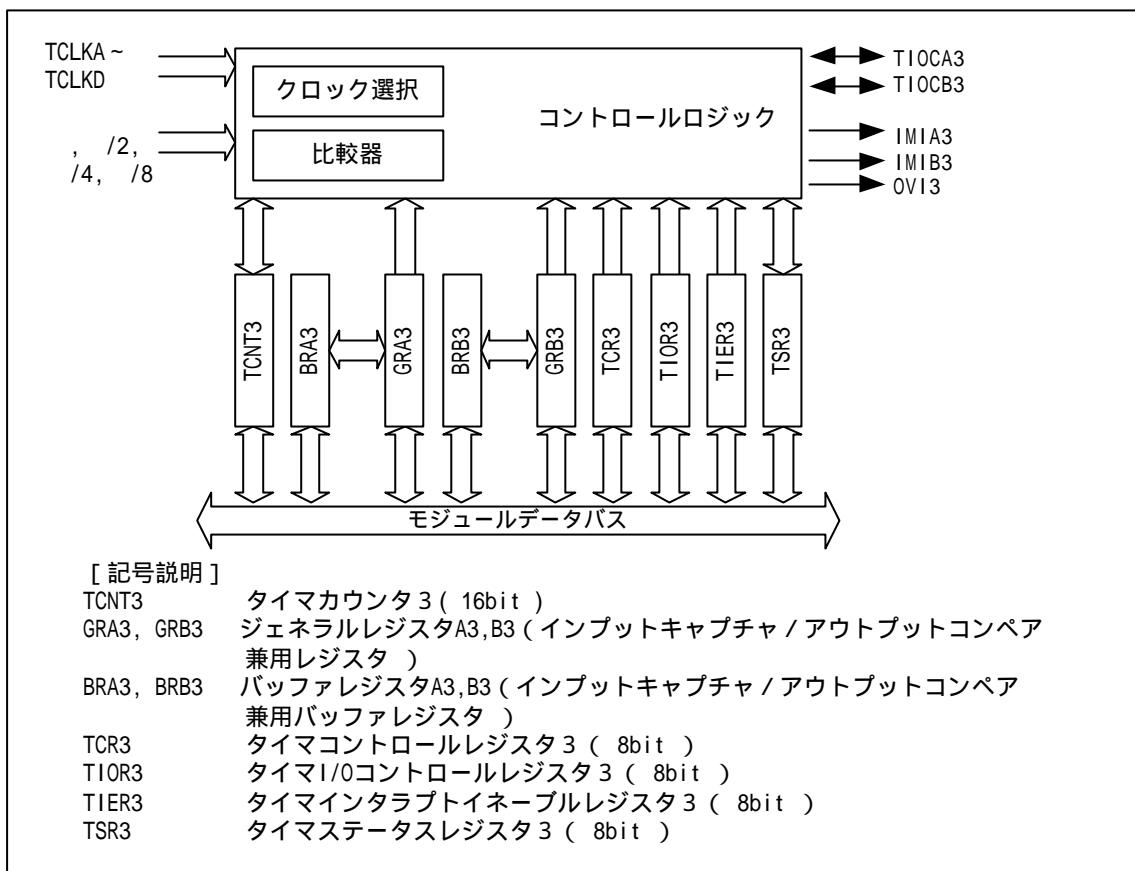
#### [記号説明]

TCNT2	タイマカウンタ ( 16bit )
GRA2,GRB2	ジェネラルレジスタA, B ( インプットキャプチャ、アウトプットコンペア兼用レジスタ ) ( 16bit )
TCR2	タイマコントロールレジスタ ( 8bit )
T10R2	タイマI/Oコントロールレジスタ ( 8bit )
TIER2	タイマインタラプトイネーブルレジスタ ( 8bit )
TSR2	タイマステータスレジスタ ( 8bit )

### (4) チャネル3, 4のブロック図

ITUのチャネル3, 4のブロック図を次ページに示します

## 16ビットインテグレーテッドタイマユニット ( ITU )



**16ビットインテグレーテッドタイマユニット  
( ITU )**

**端子構成 :**

チャネル	名 称	略称	入出力	機 能
共通	クロック入力A	TCLKA	入力	外部クロックA入力端子 (位相計数モード時、A相入力端子)
	クロック入力B	TCLKB	入力	外部クロックB入力端子 (位相計数モード時、B相入力端子)
	クロック入力C	TCLKC	入力	外部クロックC入力端子
	クロック入力D	TCLKD	入力	外部クロックD入力端子
0	インプットキャプチャ / アウトプットコンペア A0	TIOCA0	入出力	GRA0 アウトプットコンペア出力 / GRA0インプットキャプチャ入力 / PWM出力端子 ( PWMモード時 )
	インプットキャプチャ / アウトプットコンペア B0	TIOCB0	入出力	GRB0 アウトプットコンペア出力 / GRB0インプットキャプチャ入力端子
1	インプットキャプチャ / アウトプットコンペア A1	TIOCA1	入出力	GRA1 アウトプットコンペア出力 / GRA1インプットキャプチャ入力 / PWM出力端子 ( PWMモード時 )
	インプットキャプチャ / アウトプットコンペア B1	TIOCB1	入出力	GRB1 アウトプットコンペア出力 / GRB1インプットキャプチャ入力端子
2	インプットキャプチャ / アウトプットコンペア A2	TIOCA2	入出力	GRA2 アウトプットコンペア出力 / GRA2インプットキャプチャ入力 / PWM出力端子 ( PWMモード時 )
	インプットキャプチャ / アウトプットコンペア B2	TIOCB2	入出力	GRB2 アウトプットコンペア出力 / GRB2インプットキャプチャ入力端子
3	インプットキャプチャ / アウトプットコンペア A3	TIOCA3	入出力	GRA3 アウトプットコンペア出力 / GRA3インプットキャプチャ入力 / PWM出力端子 ( PWMモード / 相補PWMモード / リセット同期PWMモード時 )
	インプットキャプチャ / アウトプットコンペア B3	TIOCB3	入出力	GRB3 アウトプットコンペア出力 / GRB3インプットキャプチャ入力 / PWM出力端子 ( 相補PWMモード / リセット同期PWMモード時 )
4	インプットキャプチャ / アウトプットコンペア A4	TIOCA4	入出力	GRA4 アウトプットコンペア出力 / GRA4インプットキャプチャ入力 / PWM出力端子 ( PWMモード / 相補PWMモード / リセット同期PWMモード時 )
	インプットキャプチャ / アウトプットコンペア B4	TIOCB4	入出力	GRB4 アウトプットコンペア出力 / GRB4インプットキャプチャ入力 / PWM出力端子 ( 相補PWMモード / リセット同期PWMモード時 )
	インプットキャプチャ / アウトプットコンペア XA4	TOCXA4	出力	PWM出力端子 ( 相補PWMモード / リセット同期PWMモード )
	インプットキャプチャ / アウトプットコンペア XB4	TOCXB4	出力	PWM出力端子 ( 相補PWMモード / リセット同期PWMモード )

**16ビットインテグレーテッドタイマユニット**  
( ITU )

**レジスタ構成 :**

チャネル	アドレス	名 称	略称	R/W	初期値
共通	H'FF60	タイマスタートレジスタ	TSTR	R/W	H'EO
	H'FF61	タイマシンクロレジスタ	TSNC	R/W	H'EO
	H'FF62	タイマモードレジスタ	TMDR	R/W	H'80
	H'FF63	タイマファンクションコントロールレジスタ	TFCR	R/W	H'CO
	H'FF90	タイマアウトプットマスティネーブルレジスタ	TOER	R/W	H'FF
	H'FF91	タイマアウトプットコントロールレジスタ	TOCR	R/W	H'FF
0	H'FF64	タイマコントロールレジスタ 0	TCR0	R/W	H'80
	H'FF65	タイマI/Oコントロールレジスタ 0	TIOR0	R/W	H'88
	H'FF66	タイマインタラプトイネーブルレジスタ 0	TIER0	R/W	H'F8
	H'FF67	タイマステータスレジスタ 0	TSR0	R/(W)	H'F8
	H'FF68	タイマカウンタ 0H	TCNT0H	R/W	H'00
	H'FF69	タイマカウンタ 0L	TCNT0L	R/W	H'00
	H'FF6A	ジェネラルレジスタ A0H	GRA0H	R/W	H'FF
	H'FF6B	ジェネラルレジスタ A0L	GRA0L	R/W	H'FF
	H'FF6C	ジェネラルレジスタ B0H	GRB0H	R/W	H'FF
	H'FF6D	ジェネラルレジスタ B0L	GRB0L	R/W	H'FF
1	H'FF6E	タイマコントロールレジスタ 1	TCR1	R/W	H'80
	H'FF6F	タイマI/Oコントロールレジスタ 1	TIOR1	R/W	H'88
	H'FF70	タイマインタラプトイネーブルレジスタ 1	TIER1	R/W	H'F8
	H'FF71	タイマステータスレジスタ 1	TSR1	R/(W)	H'F8
	H'FF72	タイマカウンタ 1H	TCNT1H	R/W	H'00
	H'FF73	タイマカウンタ 1L	TCNT1L	R/W	H'00
	H'FF74	ジェネラルレジスタ A1H	GRA1H	R/W	H'FF
	H'FF75	ジェネラルレジスタ A1L	GRA1L	R/W	H'FF
	H'FF76	ジェネラルレジスタ B1H	GRB1H	R/W	H'FF
	H'FF77	ジェネラルレジスタ B1L	GRB1L	R/W	H'FF
2	H'FF78	タイマコントロールレジスタ 2	TCR2	R/W	H'80
	H'FF79	タイマI/Oコントロールレジスタ 2	TIOR2	R/W	H'88
	H'FF7A	タイマインタラプトイネーブルレジスタ 2	TIER2	R/W	H'F8
	H'FF7B	タイマステータスレジスタ 2	TSR2	R/(W)	H'F8
	H'FF7C	タイマカウンタ 2H	TCNT2H	R/W	H'00
	H'FF7D	タイマカウンタ 2L	TCNT2L	R/W	H'00
	H'FF7E	ジェネラルレジスタ A2H	GRA2H	R/W	H'FF
	H'FF7F	ジェネラルレジスタ A2L	GRA2L	R/W	H'FF
	H'FF80	ジェネラルレジスタ B2H	GRB2H	R/W	H'FF
	H'FF81	ジェネラルレジスタ B2L	GRB2L	R/W	H'FF
3	H'FF82	タイマコントロールレジスタ 3	TCR3	R/W	H'80
	H'FF83	タイマI/Oコントロールレジスタ 3	TIOR3	R/W	H'88
	H'FF84	タイマインタラプトイネーブルレジスタ 3	TIER3	R/W	H'F8
	H'FF85	タイマステータスレジスタ 3	TSR3	R/(W)	H'F8
	H'FF86	タイマカウンタ 3H	TCNT3H	R/W	H'00
	H'FF87	タイマカウンタ 3L	TCNT3L	R/W	H'00
	H'FF88	ジェネラルレジスタ A3H	GRA3H	R/W	H'FF
	H'FF89	ジェネラルレジスタ A3L	GRA3L	R/W	H'FF
	H'FF8A	ジェネラルレジスタ B3H	GRB3H	R/W	H'FF
	H'FF8B	ジェネラルレジスタ B3L	GRB3L	R/W	H'FF

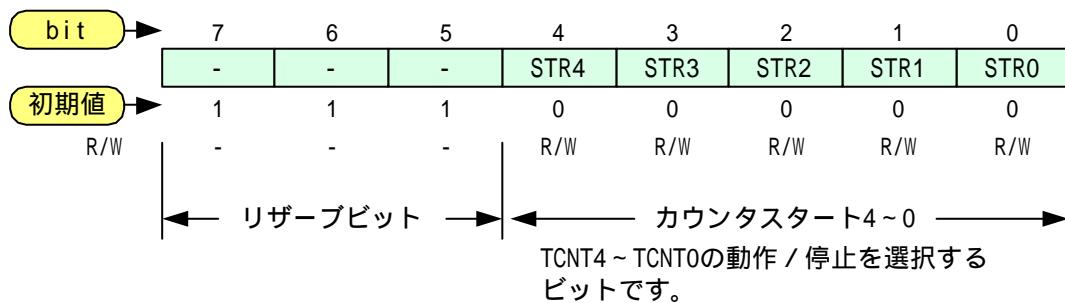
## 16ビットインテグレーテッドタイマユニット ( ITU )

### レジスタ構成 :

チャネル	アドレス	名 称	略称	R/W	初期値
3	H'FF8C	バッファレジスタ A3H	BRA3H	R/W	H'FF
	H'FF8D	バッファレジスタ A3L	BRA3L	R/W	H'FF
	H'FF8E	バッファレジスタ B3H	BRB3H	R/W	H'FF
	H'FF8F	バッファレジスタ B3L	BRB3L	R/W	H'FF
4	H'FF92	タイマコントロールレジスタ 4	TCR4	R/W	H'80
	H'FF93	タイマI/Oコントロールレジスタ 4	TIOR4	R/W	H'88
	H'FF94	タイマインタラプトインエーブルレジスタ 4	TIER4	R/W	H'F8
	H'FF95	タイマステータスレジスタ 4	TSR4	R/ (W)	H'F8
	H'FF96	タイマカウンタ 4H	TCNT4H	R/W	H'00
	H'FF97	タイマカウンタ 4L	TCNT4L	R/W	H'00
	H'FF98	ジェネラルレジスタ A4H	GRA4H	R/W	H'FF
	H'FF99	ジェネラルレジスタ A4L	GRA4L	R/W	H'FF
	H'FF9A	ジェネラルレジスタ B4H	GRB4H	R/W	H'FF
	H'FF9B	ジェネラルレジスタ B4L	GRB4L	R/W	H'FF
	H'FF9C	バッファレジスタ A4H	BRA4H	R/W	H'FF
	H'FF9D	バッファレジスタ A4L	BRA4L	R/W	H'FF
	H'FF9E	バッファレジスタ B4H	BRB4H	R/W	H'FF
	H'FF9F	バッファレジスタ B4L	BRB4L	R/W	H'FF

### タイマスタートレジスタ ( TSTR ) :

TSTRは、8ビットのリード / ライト可能なレジスタでチャネル0～4のTCNTの動作 / 停止を選択します。



#### ビット7～5: リザーブピット

リードすると常に1が読み出されます。ライトは無効です。

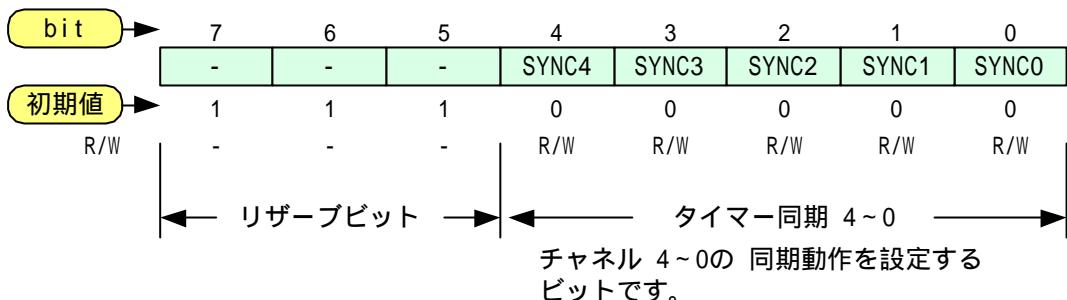
ビット( 4～0 )カウンタスタートn ( STR4～STR0 )  
 タイマ( 4～0 )の動作 / 停止を選択します。

ビットn	説 明
STRn	
0	TCNTnのカウント動作は停止 ( 初期値 )
1	TCNTnはカウント動作を行う

## 16ビットインテグレーテッドタイマユニット ( ITU )

### タイマシンクロレジスタ ( TSNC ) :

TSNCは、8ビットのリード / ライト可能なレジスタで、チャネル0～4の独立動作 / 同期動作を選択します。対応するビットを1にセットしたチャネルが同期動作を行います。



TSNCは、リセット、またはスタンバイモード時に H'E0に初期化されます。

### ビット7～5:リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

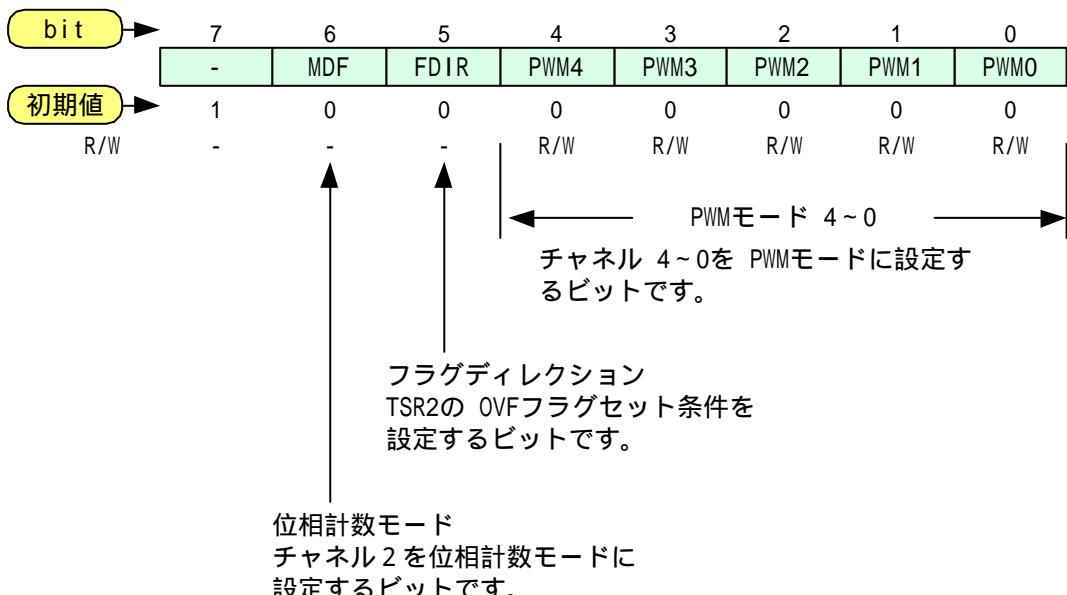
### ビット(4～0)タイマ同期n ( SYNC4～SYNC0 )

各タイマの独立動作 / 同期動作を選択します。

ビットn	説明
SYNC n	
0	チャネルnのタイマカウンタ (TCNTn) は独立動作 (TCNTnのプリセット / クリアは他チャネルと無関係) (初期値)
1	チャネルnは同期動作 TCNT4の同期プリセット / 同期クリアが可能

### タイマモードレジスタ ( TMDR ) :

TMDRは、8ビットのリード / ライト可能なレジスタで、チャネル0～4のPWMモードの設定、チャネル2の位相計数モードの設定及びオーバーフローフラグ (OVF) のセット条件の設定を行います。



## 16ビットインテグレーテッドタイマユニット ( ITU )

TMDRは、リセット、またはスタンバイモード時に、H'80に初期化されます。

### ビット6：位相計数モード( MDF )

チャネル2を、通常動作させるか、位相計数モードで動作させるかを選択します。

ビット6	説明
MDF	
0	チャネル2は通常動作（初期値）
1	チャネル2は位相計数モード

MDFビットを1にセットして位相計数モードにすると、TCNT2はアップ/ダウンカウンタ。TCLKA、TCLKB端子がカウントクロック入力端子となります。TCNT2は、TCLKA、TCLKB端子の立上がり(↑)、立下り(↓)の両エッジでカウントされ、カウントアップ/ダウン方向は次のようにになります。

カウント方向	カウントダウン				カウントアップ		
	TCLKA端子	High		Low		Low	High
TCLKB端子	Low		High		High		Low

位相計数モードでは、TCR2の CKEG1、CKEG0ビットによる外部クロックエッジの選択、および、TPSC2～TPSC0ビットによるカウンタクロックの選択機能は無効となり、上記の位相計数モードの動作が優先されます。

ただし、TCR2の CCLR1、CCLR0ビットによるカウンタクリア条件の設定、TI0R2、TIER2、TSR2のコンペアマッチ/インプットキャプチャ機能と割込みの設定は位相計数モードでも有効です。

### ビット5：フラグディレクション( FDIR )

TSR2の OVFフラグのセット条件を設定します。本ビットの設定は、チャネル2がいずれのモードで動作していても有効となります。

ビット5	説明
FDIR	
0	TSR2の OVFフラグは TCNT2がオーバーフローまたはアンダーフローした時に1にセット（初期値）
1	TSR2の OVFフラグは、TCNT2がオーバーフローした時に1にセット

### ビット4：PWMモード4( PWM4 )

チャネル4を通常動作させるか、PWMモードで動作させるかを選択します。

ビット4	説明
PWM4	
0	チャネル4は通常動作（初期値）
1	チャネル4はPWMモード

PWM4を1にセットしてPWMモードにすると、TIOCA4端子はPWM出力端子となり、GRA4のコンペアマッチで1出力、GRB4のコンペアマッチで0出力となります。

TFCRのCMD1、CMD0ビットにより相補PWMモードまたはリセット同期PWMモードが設定されているとき、本ビットの設定は無効となり、CMD1、CMD0ビットの設定が優先されます。

## 16ビットインテグレーテッドタイマユニット ( ITU )

### ビット3 : PWMモード3 ( PWM3 )

チャネル3を 通常動作させるか、 PWMモードで動作させるかを選択します。

ビット3	説明
PWM3	
0	チャネル3は 通常動作 ( 初期値 )
1	チャネル3は PWMモード

PWM3を 1 にセットして PWMモードにすると、 TIOCA3 端子は PWM出力端子となり、 GRA3のコンペアマッチで 1 出力、 GRB3のコンペアマッチで 0 出力となります。

TFCRの CMD1、CMD0ビットにより相補 PWMモードまたはリセット同期PWMモードが設定されているとき、本ビットの設定は無効となり、CMD1、CMD0ビットの設定が優先されます。

### ビット2 : PWMモード2 ( PWM2 )

チャネル2を 通常動作させるか、 PWMモードで動作させるかを選択します。

ビット2	説明
PWM2	
0	チャネル2は 通常動作 ( 初期値 )
1	チャネル2は PWMモード

PWM2を 1 にセットして PWMモードにすると、 TIOCA2 端子は PWM出力端子となり、 GRA2のコンペアマッチで 1 出力、 GRB2のコンペアマッチで 0 出力となります。

### ビット1 : PWMモード1 ( PWM1 )

チャネル1を 通常動作させるか、 PWMモードで動作させるかを選択します。

ビット1	説明
PWM1	
0	チャネル1は 通常動作 ( 初期値 )
1	チャネル1は PWMモード

PWM1を 1 にセットして PWMモードにすると、 TIOCA1 端子は PWM出力端子となり、 GRA1のコンペアマッチで 1 出力、 GRB1のコンペアマッチで 0 出力となります。

### ビット0 : PWMモード0 ( PWM0 )

チャネル0を 通常動作させるか、 PWMモードで動作させるかを選択します。

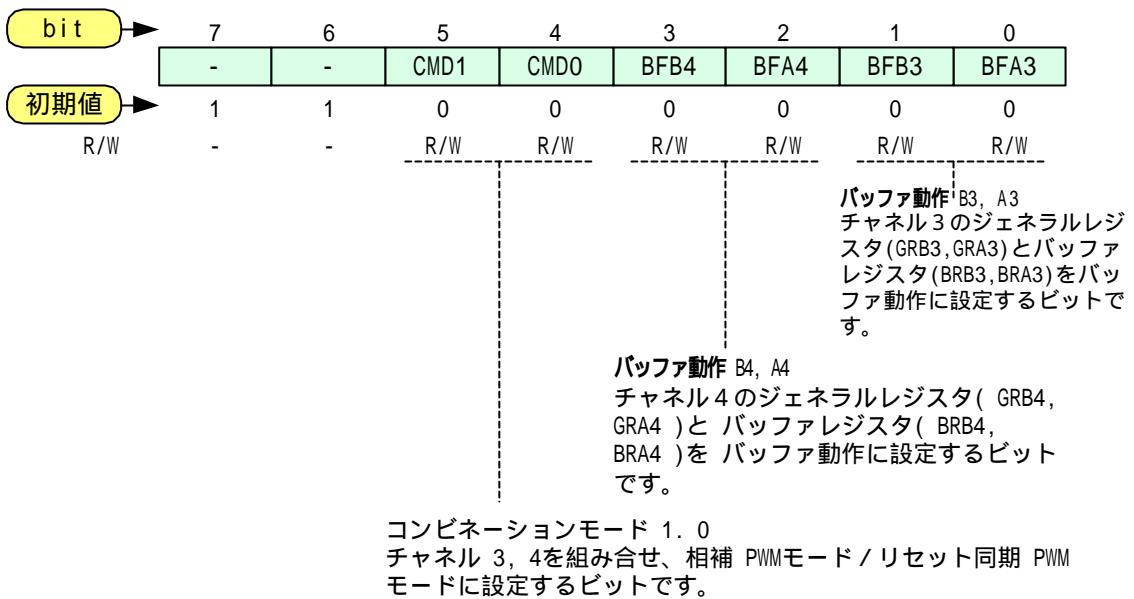
ビット0	説明
PWM0	
0	チャネル0は 通常動作 ( 初期値 )
1	チャネル0は PWMモード

PWM0を 1 にセットして PWMモードにすると、 TIOCA0 端子は PWM出力端子となり、 GRA0のコンペアマッチで 1 出力、 GRB0のコンペアマッチで 0 出力となります。

## 16ビットインテグレーテッドタイマユニット ( ITU )

### タイマファンクションコントロールレジスタ ( TFCR ) :

TFCRは、8ビットのリード／ライト可能なレジスタで、チャネル3、4の相補PWMモード／リセット同期PWMモードの設定、およびバッファ動作の設定を行います。



#### ビット7～6：リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

#### ビット5,4：コンビネーションモード 1, 0 ( CMD1, CMD0 )

チャネル3, 4を通常動作させるか相補PWMモードまたはリセット同期PWMモードで動作させるかを選択します。

Bit 5	bit 4	説明
CMD1	CMD0	
0	0	チャネル3, 4は通常動作 ( 初期値 )
	1	
1	0	チャネル3, 4を組み合せ、相補PWMモードで動作
	1	チャネル3, 4を組み合せ、リセット同期PWMモードで動作

相補PWMモード、及びリセット同期PWMモードの設定は、使用するTCNTを停止させた状態で行って下さい。

本ビットにより、相補PWMモードまたはリセット同期PWMモードに設定した場合、TMDRのPWM4、PWM3ビットによるPWMモードの設定より優先されます。なお、相補PWMモード、リセット同期PWMモードの設定とTSNCのSYNC4、SYNC3ビットによる同期動作の設定は同時に有効となります。相補PWMモードを設定した時は、チャネル3とチャネル4を同時動作に設定 ( TSNCのSYNC4ビットとSYNC3ビットをともに1にセット ) しないで下さい。

## 16ビットインテグレーテッドタイマユニット ( ITU )

ビット3：バッファ動作 B4( BFB4 )

チャネル4の GRB4を通常動作とするか、GRB4と BRB4を組み合せてバッファ動作とするかを設定します。

ビット3	説明
BFB4	
0	GRB4 は 通常動作 ( 初期値 )
1	GRB4 と BRB4 はバッファ動作

ビット2：バッファ動作 A4( BFA4 )

チャネル4の GRA4を通常動作とするか、GRA4と BRA4を組み合せてバッファ動作とするかを設定します。

ビット2	説明
BFA4	
0	GRA4 は 通常動作 ( 初期値 )
1	GRA4 と BRA4 はバッファ動作

ビット1：バッファ動作 B3( BFB3 )

チャネル3の GRB3を通常動作とするか、GRB3と BRB3を組み合せてバッファ動作とするかを設定します。

ビット1	説明
BFB3	
0	GRB3 は 通常動作 ( 初期値 )
1	GRB3 と BRB3 はバッファ動作

ビット0：バッファ動作 A3( BFA3 )

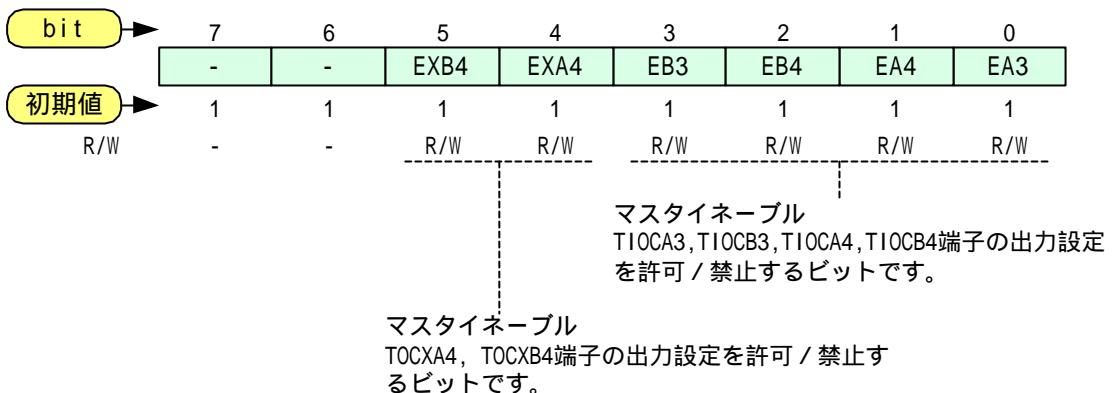
チャネル3の GRA3を通常動作とするか、GRA3と BRA3を組み合せてバッファ動作とするかを設定します。

ビット0	説明
BFA3	
0	GRA3 は 通常動作 ( 初期値 )
1	GRA3 と BRA3 はバッファ動作

## 16ビットインテグレーテッドタイマユニット ( ITU )

### タイマアウトプットマスタイネーブルレジスタ ( TOER ) :

TOERは、8ビットのリード / ライト可能なレジスタで、チャネル3, 4の出力設定を許可禁止します。



TOER は、リセット、またはスタンバイモード時に H'FF に初期化されます。

ビット7~6：リザーブビット  
リードすると常に 1 が読み出されます。 ライトは無効です。

ビット5： マスタイネーブル TOCXB4 ( EXB4 )  
TOCXB4 端子の ITU出力を 許可 / 禁止します。

ビット5	説明
EXB4	
0	TFCRの設定にかかわらず TOCXB4 端子の出力は禁止 ( TOCXB4端子は入出力ポートとし て動作 ) XTGD=0 の状態でチャネル1のインプットキャプチャAが発生した時に 0 にクリア
1	TFCR の 設定に従い TOCXB4端子の出力は 許可 ( 初期値 )

ビット4： マスタイネーブル TOCXA4 ( EXA4 )  
TOCXA4 端子の ITU出力を 許可 / 禁止します。

ビット4	説明
EXA4	
0	TFCRの設定にかかわらず TOCXA4 端子の出力は禁止 ( TOCXA4端子は入出力ポートとし て動作 ) XTGD=0 の状態でチャネル1のインプットキャプチャAが発生した時に 0 にクリア
1	TFCR の 設定に従い TOCXA4端子の出力は 許可 ( 初期値 )

ビット3： マスタイネーブル T10CB3 ( EB3 )  
T10CB3 端子の ITU出力を 許可 / 禁止します。

ビット3	説明
EB3	
0	T10R3、TFCRの設定にかかわらず T10CB3端子の出力は禁止 ( T10CB3端子は入出力ポー トとして動作 ) XTGD=0 の状態でチャネル1のインプットキャプチャAが発生した時に 0 にクリア
1	T10R3、TFCR の 設定に従い T10CB3 端子の出力は 許可 ( 初期値 )

## 16ビットインテグレーテッドタイマユニット ( ITU )

ビット2 : マスタイネーブル T10CB4 ( EB4 )  
T10CB4 端子の ITU出力を 許可 / 禁止します。

ビット2	説明
EB4	
0	T10R4、TFCRの設定にかかわらず T10CB4端子の出力は禁止 ( T10CB4 端子は入出力ポートとして動作 ) XTGD=0 の状態でチャネル1のインプットキャプチャAが発生した時に 0 にクリア
1	T10R4、TFCR の 設定に従い T10CB4 端子の出力は 許可 ( 初期値 )

ビット1 : マスタイネーブル T10CA4 ( EA4 )  
T10CA4 端子の ITU出力を 許可 / 禁止します。

ビット1	説明
EA4	
0	T10R4、TMDR、TFCRの設定にかかわらず T10CA4端子の出力は禁止 ( T10CA4 端子は入出力ポートとして動作 ) XTGD=0 の状態でチャネル1のインプットキャプチャAが発生した時に 0 にクリア
1	T10R4、TMDR、TFCR の 設定に従い T10CA4 端子の出力は 許可 ( 初期値 )

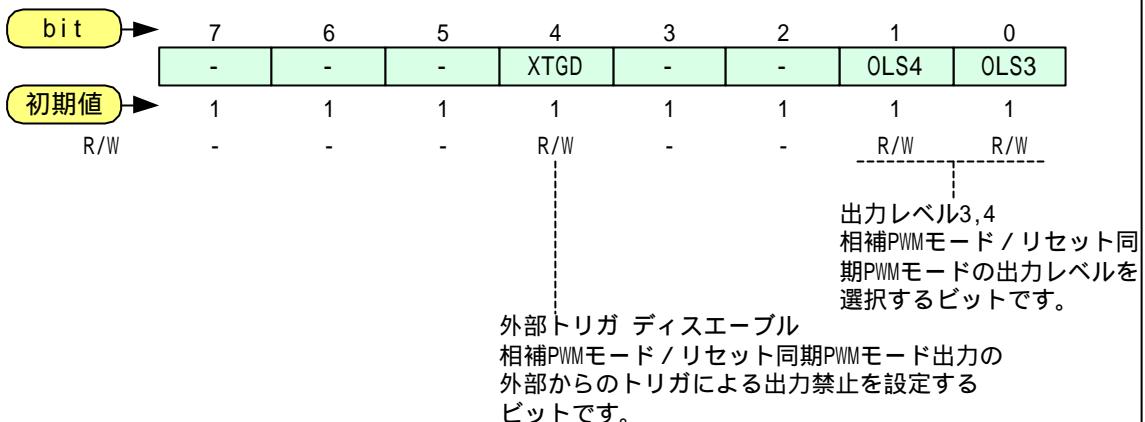
ビット0 : マスタイネーブル T10CA3 ( EA3 )  
T10CA4 端子の ITU出力を 許可 / 禁止します。

ビット0	説明
EA3	
0	T10R3、TMDR、TFCRの設定にかかわらず T10CA3 端子の出力は禁止 ( T10CA3 端子は入出力ポートとして動作 ) XTGD=0 の状態でチャネル1のインプットキャプチャAが発生した時に 0 にクリア
1	T10R3、TMDR、TFCR の 設定に従い T10CA3 端子の出力は 許可 ( 初期値 )

## 16ビットインテグレーテッドタイマユニット ( ITU )

### タイマアウトプットコントロールレジスタ ( TOCR ) :

TOCRは、8ビットのリード / ライト可能なレジスタで、相補PWMモード / リセットPWMモード出力の外部トリガによる禁止または出力レベル反転を行います。



XTGD、OLS4及び OLS3ビットの設定は、リセット同期 PWMモードまたは、相補PWMモードを設定している時のみ有効となります。他の出力状態では、他の出力状態では、これらのビットの設定は無効です。TOCRはリセット、またはスタンバイモード時に H'FFにイニシャライズされます。

#### ビット4 : 外部トリガ ディスエーブル ( XTGD )

リセット同期 PWMモード / 相補 PWMモード時の ITU出力の外部トリガによる禁止を設定します。

ビット4	説明
XTGD	
0	リセット同期 PWMモード / 相補 PWMモード時、チャネル1のインプットキャプチャA信号を外部トリガとして使用 外部トリガの発生時、TOERのビット 5~0 が 0 にクリアされ、ITU 出力は 禁止
1	外部トリガを 禁止 ( 初期値 )

#### ビット1 : 出力レベルセレクト4 ( OLS4 )

リセット同期 PWMモード / 相補 PWMモード出力のレベルを選択します。

ビット1	説明
OLS4	
0	T10CA3、T10CA4、T10CB4は 反転出力
1	T10CA3、T10CA4、T10CB4は 直接出力 ( 初期値 )

#### ビット0 : 出力レベルセレクト3 ( OLS3 )

リセット同期 PWMモード / 相補 PWMモード出力のレベルを選択します。

ビット0	説明
OLS3	
0	T10CB3、TOCXA4、TOCXB4、は 反転出力
1	T10CB3、TOCXA4、TOCXB4は 直接出力 ( 初期値 )

## 16ビットインテグレーテッドタイマユニット ( ITU )

### タイマカウンタ ( TCNT ) :

TCNTは、16ビットのカウンタです。ITUには、各チャネル1本、計5本のTCNTがあります。

チャネル	略 称	機 能
0	TCNT0	
1	TCNT1	アップカウンタ
2	TCNT2	位相計数モード：アップ / ダウンカウンタ 上記以外：アップカウンタ
3	TCNT3	相補 PWMモード：アップ / ダウンカウンタ 上記以外：アップカウンタ
4	TCNT4	

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W																

TCNTは、16bitのリード / ライト可能なレジスタで、入力したクロックによりカウント動作を行います。入力するクロックは、TCRの、TPSC2 ~ TPSC0 ビットにより選択します。

TCNT0、TCNT1は、アップカウント動作を行います。TCNT2は位相計数モード時、またTCNT3、TCNT4は相補 PWMモード時、アップ / ダウンカウント動作を行い、それ以外の場合はアップカウント動作します。

TCNTは、GRA、GRBとのコンペアマッチ、またはGRA、GRBへのインプットキャプチャにより、H'0000にクリアする事ができます。（カウンタクリア機能）

TCNTがオーバーフロー（H'FFFF H'0000）すると、対応するチャネルのTSRのOVFフラグが1にセットされます。

TCNTがアンダーフロー（H'0000 H'FFFF）すると、対応するチャネルのTSRのOVFフラグが1にセットされます。

TCNTはCPUと内部16ビットバスで接続されており、ワード / バイト単位のリード / ライトが可能です。

TCNTはリセット、またはスタンバイモード時にH'0000にイニシャライズされます。

### ジェネラルレジスタA、B ( GRA、GRB ) :

GRは、16ビットのレジスタです。ITUには、各チャネル2本、計10本のジェネラルレジスタがあります。

チャネル	略 称	機 能
0	GRA0, GRB0	
1	GRA1, GRB1	アウトプットコンペア / インプットキャプチャ兼用レジスタ
2	GRA2, GRB2	
3	GRA3, GRB3	アウトプットコンペア / インプットキャプチャ兼用レジスタ
4	GRA4, GRB4	バッファレジスタ（BRA, BRB）と組み合せる事により、バッファ動作設定可能

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W																

## 16ビットインテグレーテッドタイマユニット ( ITU )

GRは、16ビットのリード／ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能を持っています。機能の切り替えは、TIORにより行います。アウトプットコンペアレジスタとして使用しているときは、GRA／GRBの値とTCNTの値は常に比較されています。両者の値が一致（コンペアマッチ）すると、TSRのIMFA／IMFBフラグが1にセットされます。TIORによりコンペアマッチ出力を設定する事が出来ます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TCNTの値を格納します。この時対応するTSRのIMFA／IMFBフラグが1にセットされます。インプットキャプチャ信号の検出エッジはTIORにより行います。

PWMモード、相補PWMモード、またはリセット同期PWMモードに設定されている場合には、TIORの設定は無視されます。

GRは、CPUと内部16ビットバスで接続されており、ワード／バイト単位のリード／ライトが可能です。

GRはリセット、またはスタンバイモード時にアウトプットコンペアレジスタ（端子出力なし）に設定され、H'FFFFにイニシャライズされます。

### バッファレジスタA、B ( BRA、BRB ) :

BRは、16ビットのレジスタです。ITUには、チャネル3、4に各2本、計4本のバッファレジスタがあります。

チャネル	略称	機能
3	BRA3, BRB3	バッファ動作時に使用 対応するGRA、GRBがアウトプットコンペアレジスタのとき、 アウトプットコンペアバッファレジスタとして機能し、コンペア マッチにより BRA、BRB の値を GRA、GRB に自動転送可能。
4	BRB4, BRB4	対応する GRA、GRB が、インプットキャプチャレジスタのときイン プットキャプチャバッファレジスタとして機能し、インプット キャプチャ時、それまで格納されていた GRA、GRB の値を BRA、 BRB に自動転送可能。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W																

BRは、16ビットのリード／ライト可能なレジスタで、バッファ動作設定時に使用されます。バッファ動作の設定はTFCRのBFB4、BFA4、BFB3、BFA3ビットにより独立に行う事が出来ます。

BRは、GRと対になって機能し、GRがアウトプットコンペアレジスタに設定されている時はアウトプットコンペアバッファレジスタとして、またGRがインプットキャプチャレジスタとして設定されている時はインプットキャプチャバッファレジスタとして機能します。

BRは、内部でCPUと16ビットバスで接続されており、ワード／バイト単位のリード／ライトが可能です。

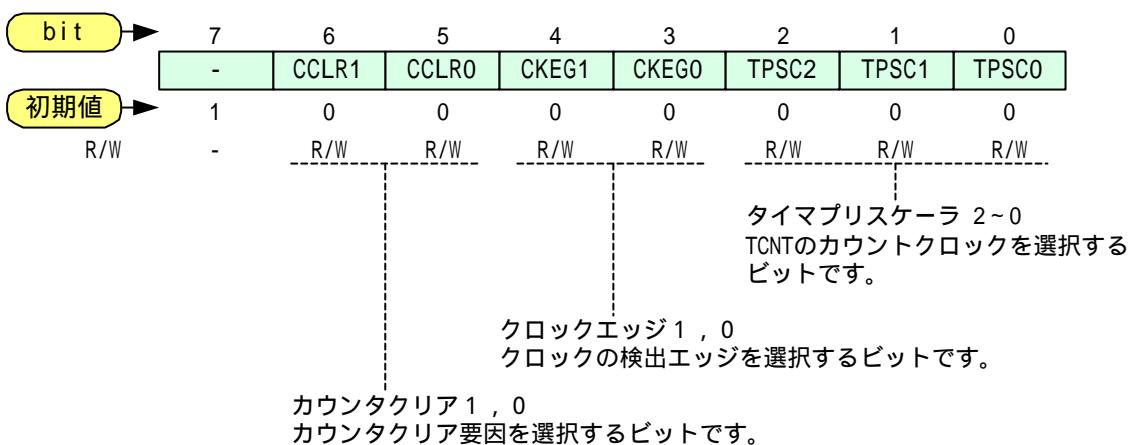
BRはリセット、またはスタンバイモード時にH'FFFFにイニシャライズされます。

## 16ビットインテグレーテッドタイマユニット ( ITU )

### タイマコントロールレジスタ ( TCR ) :

TCR は、8ビットのレジスタです。 ITUには、各チャネル1本、計 5 本のTCRがあります。

チャネル	略 称	機 能
0	TCR0	TCRは TCNTの制御を行います。
1	TCR1	各チャネルの TCRは同一の機能を持っています。チャネル2を位相計数モードに設定したとき、TCR2のCKEG1、CKEG0ビットおよび TPSC2
2	TCR2	~ TPSC0ビットの設定は無効となります。
3	TCR3	
4	TCR4	



TCRは、8ビットのリード / ライト可能なレジスタで、TCNTのカウンタクロックの選択、ガイブクロック選択時のエッジの選択、およびカウンタクリア要因の選択を行います。  
TCRは、リセットスタンバイモード時に H'80 にイニシャライズされます。

ビット 6, 5 : カウンタクリア 1,0 ( CCLR1, CCLR0 )  
TCNTのクリア要因を選択します。

bit 6	bit 5	機 能
CCLR 1	CCLR 0	
0	0	TCNTのクリア禁止 ( 初期値 )
	1	GRAのコンペアマッチ / インプットキャプチャ(*1)で TCNTをクリア
1	0	GRBのコンペアマッチ / インプットキャプチャ(*1)で TCNTをクリア
	1	同期クリア、同期動作(*2)をしている他のタイマのカウンタクリアに同期して TCNTをクリア

[注] \*1 GRがアウトプットコンペアレジスタとして機能しているとき、コンペアマッチによりクリアされます。 GRがインプットキャプチャレジスタとして機能している時、インプットキャプチャによりクリアされます。

\*2 同期動作の設定は、TSNCにより行います。

## 16ビットインテグレーテッドタイマユニット ( ITU )

ビット4, 3 : クロックエッジ ( CKEG1, CKEG0 )  
外部クロック選択時に、外部クロックの入力エッジを選択します。

bit 4	bit 3	機能
CKEG1	CKEG0	
0	0	立上り エッジでカウント ( 初期値 )
	1	立下り エッジでカウント
1	-	立上り / 立下り両エッジで カウント

チャネル2が位相計数モードに設定されている時、TCR2の CKEG1、CKEG0ビットの設定は無効になり、位相計数モードの動作が優先されます。

ビット2～0 : タイマプリスケーラ2～0 ( TPSC2～TPSC0 )  
TCNTの カウントクロックを選択します。

bit 2	bit 1	bit 0	機能
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック : でカウント ( 初期値 )
		1	内部クロック : / 2 でカウント
	1	0	内部クロック : / 4 でカウント
		1	内部クロック : / 8 でカウント
1	0	0	ガイブクロック A : TCLKA端子入力でカウント
		1	ガイブクロック B : TCLKB端子入力でカウント
	1	0	ガイブクロック C : TCLKC端子入力でカウント
		1	ガイブクロック D : TCLKD端子入力でカウント

TPSC2ビットを0にクリアして内部クロックを選択した場合、クロックの立下りエッジでカウントされます。また、TPSC2ビットに1をセットして外部クロックを選択した場合、カウントエッジは、CKEG1、CKEG0ビットの設定に従います。

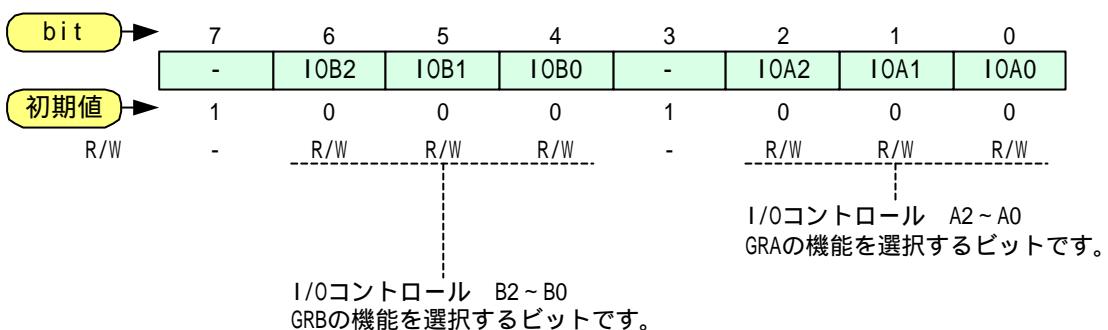
チャネル2が位相計数モードに設定されているとき ( TMDRのMDFビット = 1 )、TCR2のTPSC2～TPSC0ビットの設定は無効となり、位相計数モードが優先されます。

## 16ビットインテグレーテッドタイマユニット ( ITU )

### タイマI/O コントロールレジスタ ( TI0R ) :

TI0R は、8ビットのレジスタです。 ITUには、各チャネル1本、計 5 本のTI0Rがあります。

チャネル	略 称	機 能
0	TI0R0	TI0Rは、GRの制御を行います。
1	TI0R1	PWMモード時、一部機能が異なります。
2	TI0R2	チャネル3, 4を相補 PWMモード/リセット同期 PWMモードに設定したとき、TI0R3, TI0R4 の設定は無効となります。
3	TI0R3	
4	TI0R4	



TI0R は、8ビットのレジスタで、GRA、GRBをアウトプットコンペアレジスタとして使用するか、インプットキャプチャレジスタとして使用するかを選択します。

また、TIOCA、TIOCB端子の機能を選択します。 アウトプットコンペアレジスタを選択した場合は出力設定を選択し、インプットキャプチャレジスタを選択した場合はインプットキャプチャ信号の入力エッジを選択します。

TI0Rはリセット、またはスタンバイモードに時に、H'88にイニシャライズされます。

ビット 6 ~ 4 : I/OコントロールB2~B0 ( I0B2 ~ I0B0 )  
GRBの 機能を選択します。

bit 6	bit 5	bit 4	機 能	
I0B2	I0B1	I0B0	GRBは アウトプット コンペア レジスタ	コンペアマッチによる端子出力禁止 ( 初期値 )
0	0	0		GRBのコンペアマッチで 0 出力 (*1)
		1		GRBのコンペアマッチで 1 出力 (*1)
1	1	0		GRBのコンペアコンペアマッチでトグル出力 ( チャネル2のみ 1 出力 ) (*1)(*2)
		1		立上りエッジで GRBへインプットキャプチャ 立下りエッジで GRBへインプットキャプチャ
1	0	0	GRBは インプット キャプチャ レジスタ	立上り/立下がりの両エッジで インプットキャプチャ
		1		

[注] \*1 リセット後、最初のコンペアマッチが発生するまでの出力値は 0 です。

\*2 チャネル2は、コンペアマッチによるトグル出力機能がありません。  
この設定にすると自動的に1出力が選択されます。

## 16ビットインテグレーテッドタイマユニット ( ITU )

ビット2～0：I/OコントロールA2～A0 ( IOA2～IOA0 )  
GRAの機能を選択します。

bit 2	bit 1	bit 0	機能	
IOA2	IOA1	IOA0		
0	0	0	GRAは アウトプット コンペア レジスタ	コンペアマッチによる端子出力禁止 ( 初期値 )
		1		GRAのコンペアマッチで 0 出力 (*1)
	1	0		GRAのコンペアマッチで 1 出力 (*1)
		1		GRAのコンペアコンペアマッチでトグル出力 ( チャネル2のみ 1 出力 ) (*1) (*2)
	1	0		立上りエッジで GRAへインプットキャプチャ
		1		立下りエッジで GRAへインプットキャプチャ
	1	0		立上り / 立下がりの両エッジで インプットキャプチャ
		1		

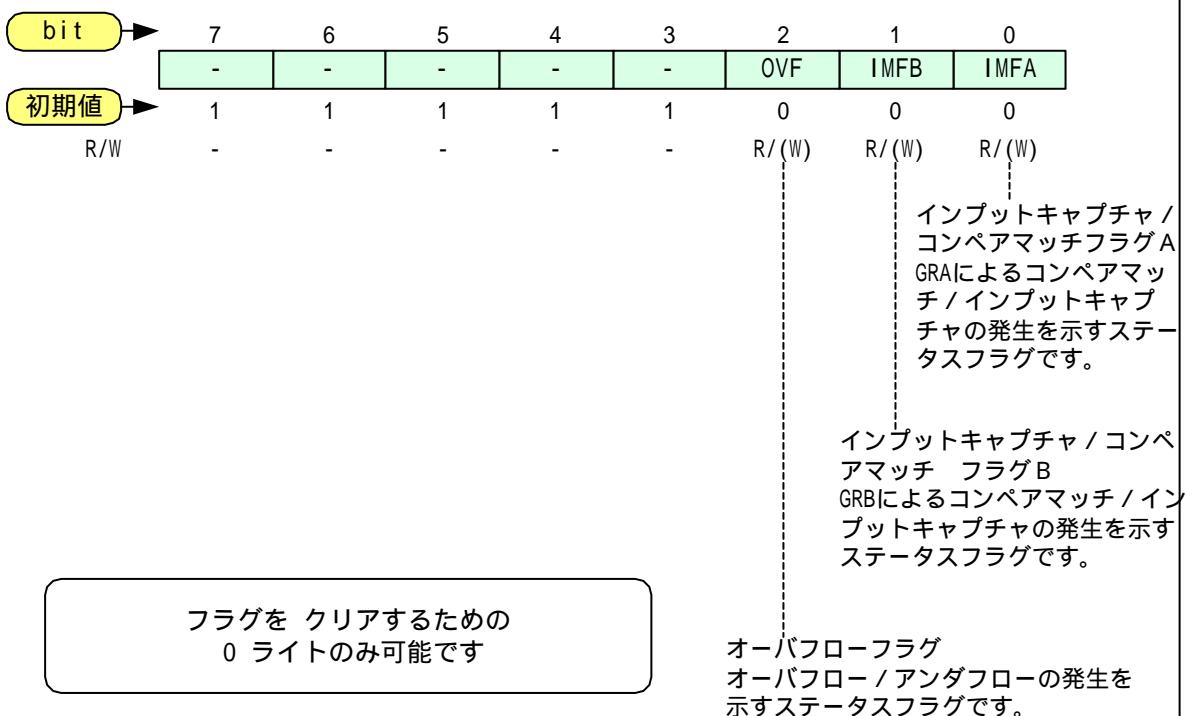
[注] \*1 リセット後、最初のコンペアマッチが発生するまでの出力値は 0 です。

\*2 チャネル2は、コンペアマッチによるトグル出力機能がありません。  
この設定にすると自動的に1出力が選択されます。

### タイマーステータスレジスタ ( TSR ) :

TSR は、8ビットのレジスタです。 ITUには、各チャネル1本、計 5 本の TSR があります。

チャネル	略称	機能
0	TSR0	
1	TSR1	
2	TSR2	
3	TSR3	
4	TSR4	



## 16ビットインテグレーテッドタイマユニット ( ITU )

TSR は、8ビットのリード / ライト可能なレジスタです。 TCNTのオーバーフロー / アンダーフローの発生、および、GRA、GRBのコンペアマッチ / インプットキャプチャの発生を示します。 これらのフラグは割込み要因であり、TIERの対応するビットにより割込みが許可されていれば、CPUに割り込みを要求します。

TSRはリセット、またはスタンバイモード時に、H'F8にイニシャライズされます。

**ビット2：オーバーフローフラグ（OVF）**  
TCNTの オーバーフロー / アンダーフローの発生を示すステータスフラグです。

ビット2	説明
OVF	
0	[クリア条件] OVF=1の状態で、OVFフラグをリードした後、OVFフラグに 0 をライトした時
1	[セット操作] TCNTの値が オーバーフロー ( H'FFFF H'0000 ) または アンダーフロー ( H'0000 H'FFFF ) した時

[注] TCNTのアンダーフローは、TCNTがアップ / ダウンカウンタとして機能している場合に発生します。 したがって次の場合のみアンダーフローが発生する事があります。

- (1) チャネル2が位相計数モードに設定されているとき ( TMDRの MDF=1 )
- (2) チャネル3, 4が相補 PWMモードに設定されているとき  
( TFCRの CMD1 = 1、CMD0 = 0 )

**ビット1 インプットキャプチャ / コンペアマッチフラグB：（IMFB）**  
GRBの コンペアマッチまたは インプットキャプチャの発生を示すステータスフラグです。

ビット1	説明
IMFB	
0	[クリア条件] ( 初期値 ) IMFB = 1 の状態で、IMFBフラグをリードした後、IMFBフラグに 0 をライトしたとき
1	[セット操作] (1) GRB が アウトプットコンペアレジスタとして機能している場合、 TCNT = GRB になったとき (2) GRB が インプットキャプチャレジスタとして機能している場合、 インプットキャプチャ信号により TCNTの 値が GRB に転送されたとき

**ビット0 インプットキャプチャ / コンペアマッチフラグA：（IMFA）**  
GRAの コンペアマッチまたは インプットキャプチャの発生を示すステータスフラグです。

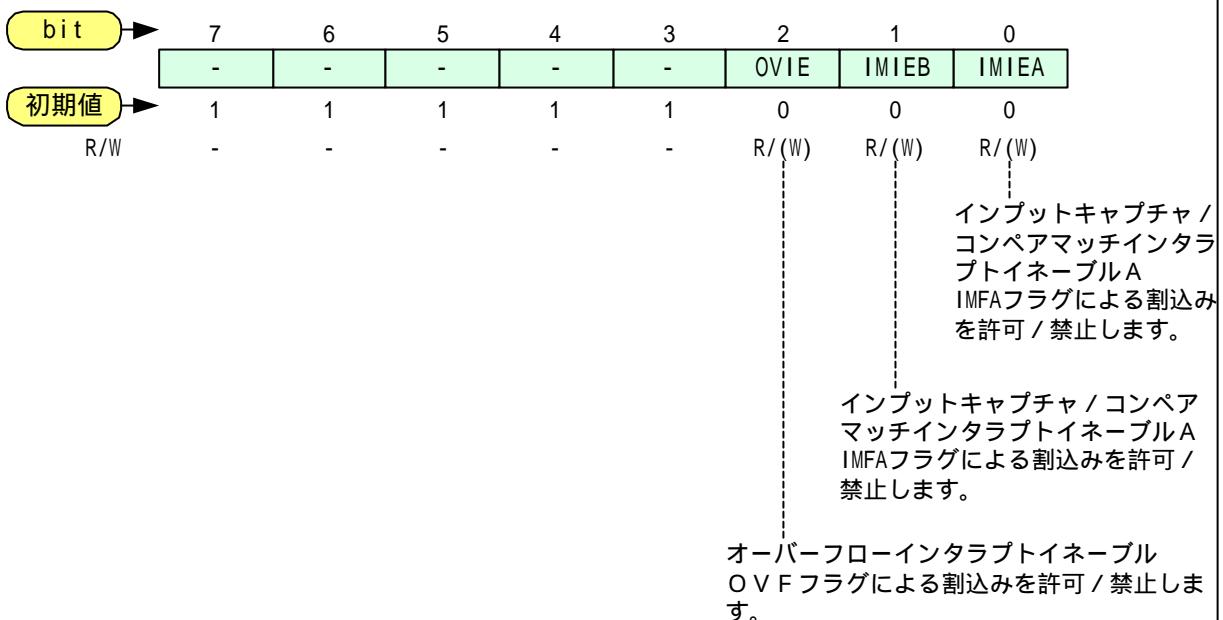
ビット0	説明
IMFA	
0	[クリア条件] ( 初期値 ) (1) IMFA=1 の状態で IMFAフラグをリードした後 IMFAフラグに 0 をライトしたとき (2) IMIA割込みにより DMACが起動されたとき
1	[セット操作] (1) GRAが アウトプットコンペアレジスタとして機能している場合、 TCNT = GRB になったとき (2) GRAが インプットキャプチャレジスタとして機能している場合、 インプットキャプチャ信号により TCNTの 値が GRA に 転送されたとき

## 16ビットインテグレーテッドタイマユニット ( ITU )

### タイマインターラプトイネーブルレジスタ ( TIER ) :

TIERは 8ビットのレジスタです。 ITUには各チャネル1本、計 5本の TIERがあります。

チャネル	略 称	機 能
0	TIER0	割込み要求の許可 / 禁止を制御します。
1	TIER1	
2	TIER2	
3	TIER3	
4	TIER4	



TIERは 8ビットのリード / ライト可能なレジスタで、オーバーフロー割込み要求、GRのインプットキャプチャ / コンペアマッチ割込み要求の許可 / 禁止を制御します。  
 TIERはリセット、またはスタンバイモード時に、H'F8 にイニシャライズされます。

ビット2 : オーバーフローインタラプトイネーブル ( OVIE )  
 TSRのOVFフラグが1にセットされたとき、OVF による割り込み要求を許可 / 禁止します。

ビット2	説 明
OVIE	説明
0	OVFフラグによる割込み ( OVI ) 要求を禁止 ( 初期値 )
1	OVFフラグによる割込み ( OVI ) 要求を許可

ビット1 : インプットキャプチャ / コンペアマッチインタラプトイネーブル B ( IMIEB )  
 TSRの IMFB フラグが1にセットされたとき、IMFBによる割り込み要求を許可 / 禁止します。

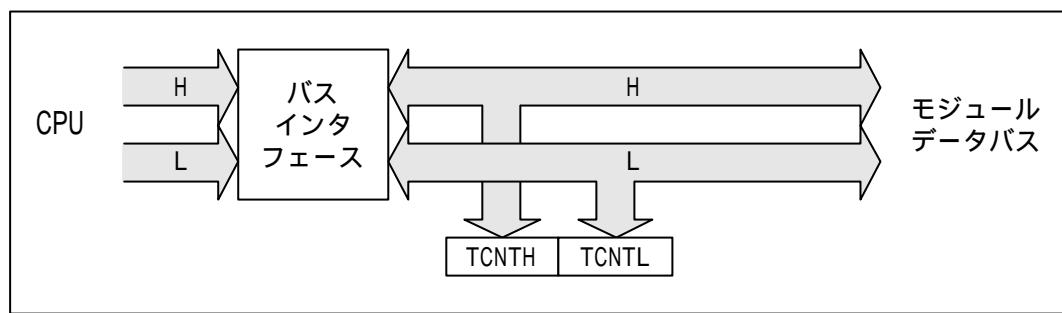
ビット1	説 明
IMIEB	説明
0	IMFBフラグによる割込み ( IMIB ) 要求を禁止 ( 初期値 )
1	IMFBフラグによる割込み ( IMIB ) 要求を許可

## 16ビットインテグレーテッドタイマユニット ( ITU )

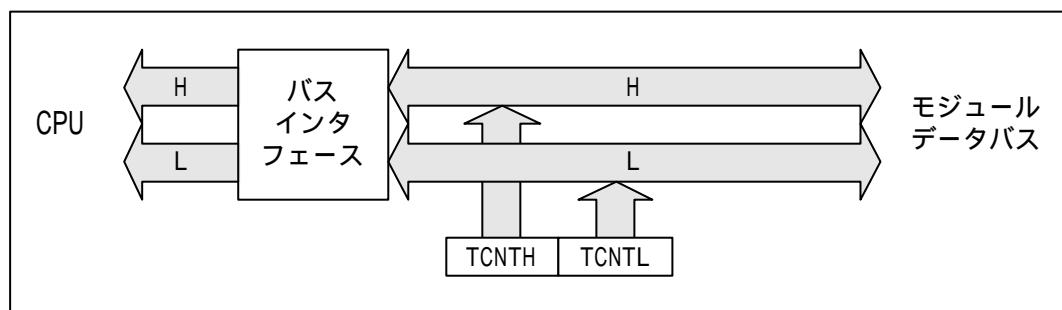
ビット0：インプットキャプチャ／コンペアマッチインターラップトイネーブルA（IMIEA）  
TSRのIMFAフラグが1にセットされたとき、IMFAによる割り込み要求を許可／禁止します。

ビット0	説明
IMIEA	
0	IMFAフラグによる割込み（IMIA）要求を禁止（初期値）
1	IMFAフラグによる割込み（IMIA）要求を許可

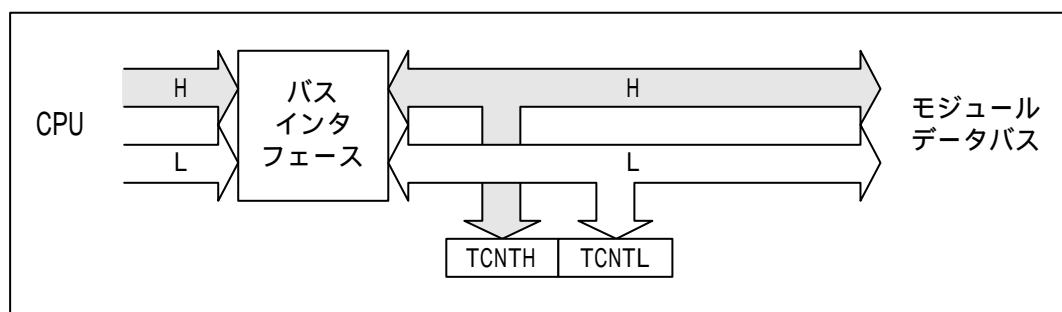
CPUとのインターフェース（16ビットアクセス可能なレジスタ）：



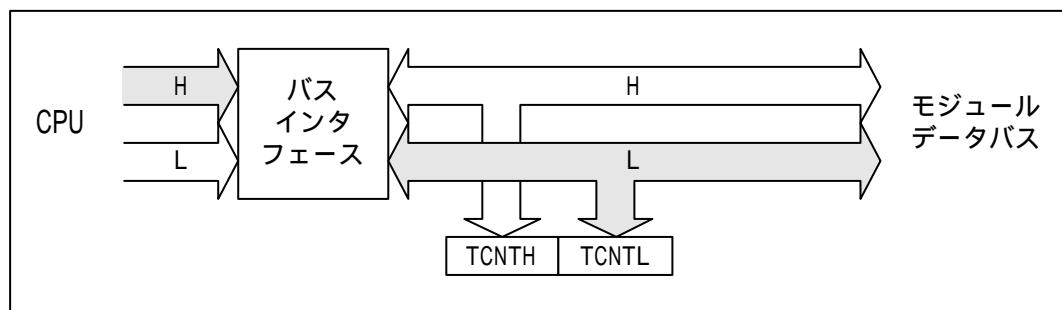
TCNTのアクセス動作 ( CPU TCNT [Word] )



TCNTのアクセス動作 ( CPU TCNT [Word] )

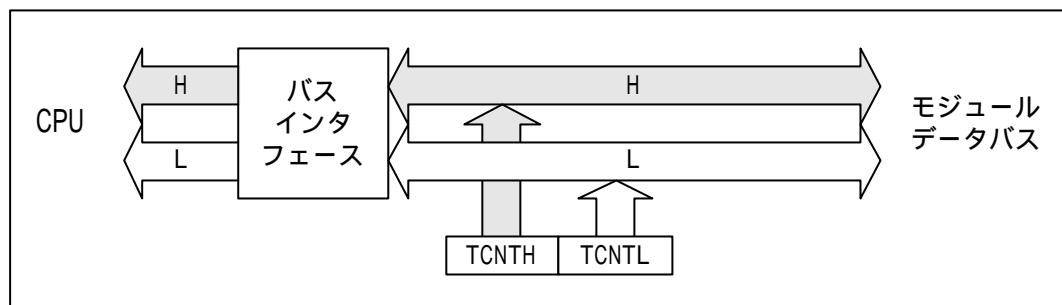


TCNTのアクセス動作 ( CPU TCNT [上位 byte] )

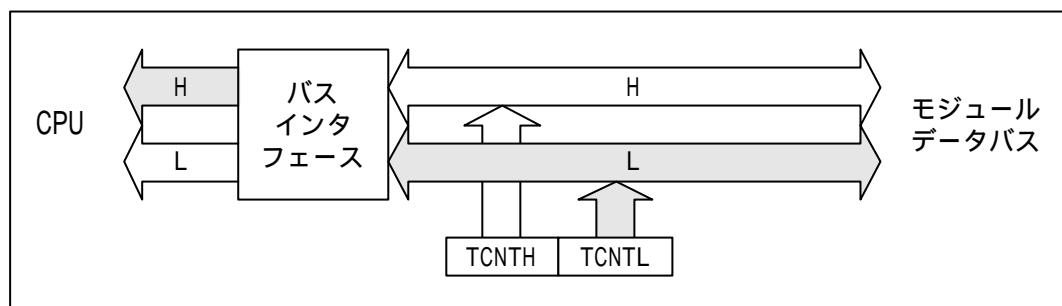


TCNTのアクセス動作 ( CPU TCNT [下位 byte] )

16ビットインテグレーテッドタイマユニット  
( ITU )

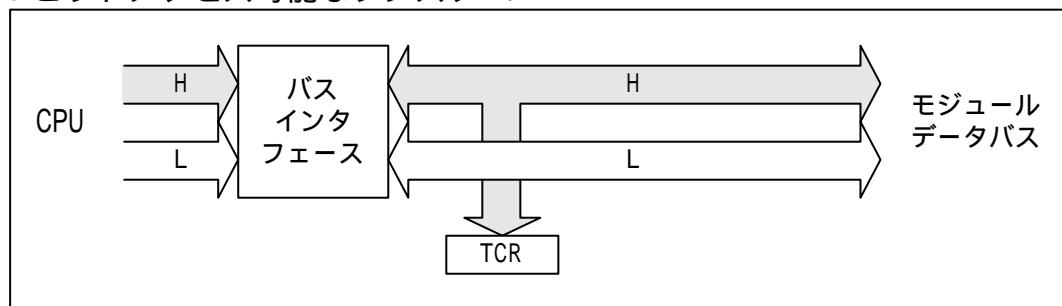


TCNTのアクセス動作 ( CPU TCNT [上位 byte] )

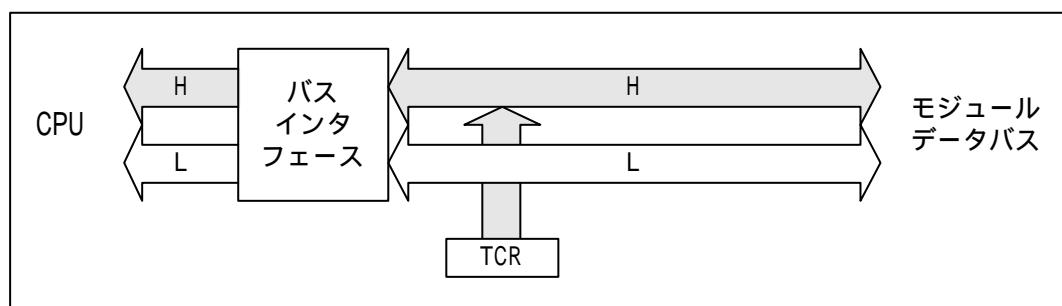


TCNTのアクセス動作 ( CPU TCNT [下位 byte] )

8ビットアクセス可能なレジスタ :



TCNTのアクセス動作 ( CPU TCR )



TCNTのアクセス動作 ( CPU TCR )

